

EXPRESS MAIL CERTIFICATE

Date 10/11/01 Label No. 627677190190s

I hereby certify that, on the date indicated above, this paper or fee was deposited with the U.S. Postal Service & that it was addressed for delivery to the Assistant Commissioner for Patents, Washington, DC 20231 by "Express Mail Post Office to Addressee" service.

PLEASE CHARGE ANY DEFICIENCY UP TO \$300.00 OR CREDIT ANY EXCESS IN THE FEES DUE WITH THIS DOCUMENT TO OUR DEPOSIT ACCOUNT NO. 04-0100



Name (Print)

Signature

Customer No.:



07278

PATENT TRADEMARK OFFICE

Docket No.: 6920/OJ924

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: Hiroshi KOSHIBA

Serial No.: Not yet assigned

Art Unit:

Confirmation No.:

Filed: Concurrently herewith

Examiner:

For: SEMICONDUCTOR TEST APPARATUS AND CONTROL METHOD THEREFOR

CLAIM FOR PRIORITY

Hon. Commissioner of
Patents and Trademarks
Washington, DC 20231

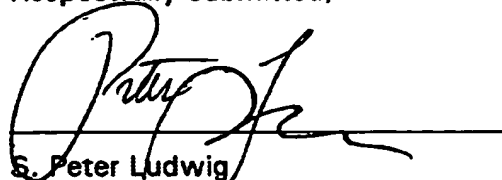
Sir:

Applicant hereby claims priority under 35 U.S.C. Section 119 based on

Japan application No. 2000-317871 filed October 18, 2000.

A certified copy of the priority document is submitted herewith.

Respectfully submitted,

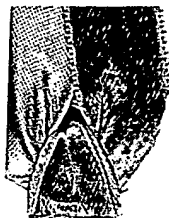
A handwritten signature in black ink, appearing to read "S. Peter Ludwig", is written over a horizontal line.

S. Peter Ludwig
Reg. No. 25,351
Attorney for Applicant(s)

Dated: October 11, 2001

DARBY & DARBY P.C.
805 Third Avenue
New York, New York 10022
212-527-7700

Docket No. 6920/OJ924



F01081 JSP-11288 US

心算

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JCS86 U.S. PRO
09/975835
10/11/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年10月18日

出 願 番 号
Application Number:

特願2000-317871

出 願 人
Applicant(s):

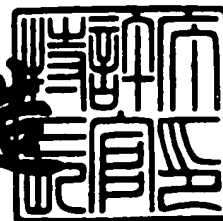
安藤電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3080368

【書類名】 特許願

【整理番号】 S00-9-25

【提出日】 平成12年10月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/00

【発明の名称】 半導体試験装置及びその制御方法

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式会社
 内

 【氏名】 小柴 廣司

【特許出願人】

 【識別番号】 000117744

 【氏名又は名称】 安藤電気株式会社

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100108578

 【弁理士】

 【氏名又は名称】 高橋 詔男

【選任した代理人】

 【識別番号】 100089037

 【弁理士】

 【氏名又は名称】 渡邊 隆

【選任した代理人】

 【識別番号】 100101465

 【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9719557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体試験装置及びその制御方法

【特許請求の範囲】

【請求項 1】

半導体の動作を複数のパタンデータに基づいて試験する半導体試験装置において、

前記パタンデータの使用回数を、パタンファイル毎に計数する計数手段と、

前記各ファイルと、このファイルの前記使用回数との関係を示すパタンファイル使用頻度テーブルを作成し、このパタンファイル使用頻度テーブルを記憶部へ記憶させる制御部と

を具備することを特徴とする半導体試験装置。

【請求項 2】

前記計数手段が、予め設定した個数分の半導体の試験における前記パタンデータの使用回数を計数することを特徴とする請求項 1 記載の半導体試験装置。

【請求項 3】

前記制御部が、前記パタンファイル使用頻度テーブルを作成後、このパタンファイル使用頻度テーブルに基づき、使用頻度の高い順にパタンファイルを並び替えることを特徴とする請求項 1 または請求項 2 に記載の半導体試験装置。

【請求項 4】

前記制御部が、前記パタンファイルを実行メモリに転送するとき、この実行メモリの容量が不足する場合、より使用頻度の低い順に、パタンファイルを削除することを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体試験装置。

【請求項 5】

半導体の動作を複数のパタンデータに基づいて試験する半導体試験装置の制御方法において、

前記パタンデータの使用回数を、パタンファイル毎に計数する計数過程と、

前記各ファイルと、このファイルの前記使用回数との関係を示すパタンファイル使用頻度テーブルを作成し、このパタンファイル使用頻度テーブルを記憶部へ記憶させる記憶過程と

を有することを特徴とする半導体試験装置の制御方法。

【請求項 6】

前記計数過程において、予め設定した個数分の半導体の試験における前記パタンデータの使用回数を計数することを特徴とする請求項 5 記載の半導体試験装置の制御方法。

【請求項 7】

前記記憶過程が、前記パタンファイル使用頻度テーブルを作成後、このパタンファイル使用頻度テーブルに基づき、使用頻度の高い順にパタンファイルを並び替えることを特徴とする請求項 5 または請求項 6 に記載の半導体試験装置の制御方法。

【請求項 8】

前記記憶過程が、前記パタンファイルを実行メモリに転送するとき、この実行メモリの容量が不足する場合、より使用頻度の低い順に、パタンファイルを削除することを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体試験装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、試料である半導体（半導体集積回路）の動作の試験に必要なパタン（Pattern）ファイルを、実行メモリ上に最適に配置する半導体試験装置に関する。

【0002】

【従来の技術】

半導体試験装置において、半導体の試験を行うために必要なパタンデータは、半導体に印加されるデータと、このデータに基づいて半導体から出力される出力データを判定する比較データで構成されている。

そして、半導体試験装置は、半導体の試験を行うとき、この半導体に対応したパタンファイルを、大容量の記憶装置から読み込み、パタンファイルとして試験装置内のメモリ部に格納する。

【 0 0 0 3 】

ここで、図 4 を用いて、従来の半導体試験装置は、上記パタンファイルを、どのように制御しているかを説明する。

試験開始前、制御部 4 0 は、複数の種類の半導体の試験に用いるパタンファイルを、図示しない外部の記憶装置から、半導体試験装置 4 1 に内蔵されている D I S K 4 2 に格納する。

次に、半導体に対する試験の準備過程において、制御部 4 0 は、これから試験を行う種類（１種類）の半導体に対する試験用のパタンファイルを、D I S K 装置 4 2 から、半導体試験装置 4 1 の大容量のバッファメモリ 4 3 に、D I S K 装置 4 2 に記憶されているときと同様のフォーマットのパタンファイルとして転送し、記憶させる。

【 0 0 0 4 】

通常、半導体の試験では、半導体の種類毎の試験項目に対応した複数のパタンファイルが用意され、この結果、D I S K 4 2 上およびバッファメモリ 4 3 上には複数のパタンファイルが格納されることとなる。

上述したバッファメモリ 4 3 にパタンファイルが格納された状態のとき、半導体の試験が開始されると、半導体の特定の動作を試験する試験項目において、特定のパタンファイルを使用する段階まで試験が進む。

【 0 0 0 5 】

このとき、バッファメモリ 4 3 上における、特定の試験項目に該当するパタンファイルは、制御部 4 0 により、試験に用いるパタンデータ及び試験の時の動作を制御する制御データに展開される。

そして、制御部 4 0 は、これら展開されたデータが、半導体の試験を行うときの実行メモリであるパタンメモリ 4 4、M I C メモリ 4 5 および S P G (Serial Pattern Generator) メモリ 4 6 へ、各々転送される。

【 0 0 0 6 】

ここで、パタンメモリ 4 4 は半導体の試験のパタンデータが記憶されるメモリであり、M I C メモリ 4 5 は半導体試験装置の動作を制御する制御データが記憶されるメモリであり、S P G メモリ 4 6 は周期的なクロックのパタンを半導体の

端子に与えるパタンデータが記憶されるメモリである。

すなわち、パタンファイルは、各実行メモリ、パタンメモリ44、MICメモリ45およびSPGメモリ46のデータ毎に分割され、相互に連鎖するデータ群として、制御部40により固有のアルゴリズムに基づきファイル管理が行われる。

【0007】

次に、従来技術による上記実行メモリ（パタンメモリ44、MICメモリ45およびSPGメモリ46）上のファイル管理アルゴリズムについて、図5を参照して説明する。

図5は、パタンファイルに基づき、半導体を試験する一試験項目において、パタンファイルを検索しパタンファイルを実行メモリに転送して試験を実施するまでの動きを示すフローチャートである。

ステップ51において、制御部40は、試験が行われる半導体に対して、この半導体の試験に用いられるパタンファイルを、各実行メモリ上において検索し、ステップ52において、制御部40はこのパタンファイルが各実行メモリ上に存在するか否かを判定する。

判定の結果、すでに、実行メモリ上に存在する場合は、ステップ5Dにジャンプし、このパタンファイルを使って、半導体の試験が開始される。

【0008】

ここで、半導体の試験に使用するパタンファイルがない場合、制御部40は、ステップ53からステップ5Cまでの手順により、必要なパタンファイルがバッファメモリ43より各実行メモリへ転送して展開する。

ステップ53において、制御部40は、当該パタンファイルがバッファメモリ43にあるか否かを検索し、このパタンファイルがバッファ43に格納されていない場合、エラー処理により半導体に対する試験を中断する。

【0009】

一方、このパタンファイルがバッファメモリ43にある場合、制御部40は、ステップ55からステップ5Aまでの手順において、各実行メモリの管理情報を取得し、転送可能な容量が残っているか否かを確認する。

実行メモリのうち、どれか一つのメモリでも容量が不足している場合、制御部 40 は、転送可能な容量を確保するために、ステップ 5 B において実行メモリが初期化され、格納されているデータが全て消去される。

【0010】

すなわち、実行メモリの初期化とは、各実行メモリの管理情報を初期化することである。このとき、内部に格納されていたパタンファイルは、見かけ上、全て消去された状態となる。

次に、ステップ 5 C において、制御部 40 は、半導体の試験に使用するパタンファイルを、新たに実行メモリに転送し、パタンファイルの転送完了後のステップ 5 D においてパタンデータに基づき、半導体に対する試験を開始する。

上述したような実行メモリ上のファイル管理アルゴリズムにより、パタンファイル転送と実行メモリ初期化とが繰り返され、全てのパタンファイルを用いた試験が行われる。

【0011】

【発明が解決しようとする課題】

しかしながら、一旦、実行メモリに転送されると、実行メモリが初期化されるまでパタンファイルとして管理されるため、試験に必要なすべてのパタンファイルが実行メモリに転送されることにより、2 回目以降の試験における実行メモリの初期化および転送の必要はなくなり、実行時間の負荷が軽減される。

しかしながら、近年、半導体の試験は、半導体自身の多機能化により、試験項目および試験内容が増大し、試験用のパタンファイルも大容量化している状況にあり、全てのパタンファイルが実行メモリに転送可能な半導体の試験は少なく、2 回目以降の試験においてもパタンファイル転送が繰り返され、半導体の試験効率が悪化してきている。

【0012】

また、従来例の半導体試験装置では、試験されるパタンファイルが使用頻度に関係なく、試験項目の実行順に従って実行メモリに転送され、しかも空き容量が足りない場合は全てを初期化するという単純なアルゴリズムが採用されており、高速な試験が行えないという欠点を有している。

すなわち、実行メモリの容量が有限であるため、半導体の試験に必要なパターンファイルのデータ量が、実行メモリの記憶容量を超えてしまう条件下において、より高速な試験環境を提供するためには、使用頻度の高いパターンファイルを効率よく実行メモリに残し、再転送するパターンファイルを最小限に抑えるアルゴリズムが要求される。

【 0 0 1 3 】

一方、一般的に半導体の試験は、多くの試験項目のうち一つでも不良となった場合、その半導体を不良のカテゴリとし、試験のスループットを考慮して、ある試験項目が不良となった時点でその試験を中断し、次に別の半導体の試験を開始するという方法が採用されている。

従って、パターンファイルの使用頻度は、半導体毎の不良率によって変化する可能性があり、使用頻度を判断するアルゴリズムを半導体試験装置で一律に定めることは困難であった。

【 0 0 1 4 】

本発明はこのような背景の下になされたもので、内部におけるパターンファイルの転送量を最小限に抑え、半導体の試験時間を軽減することを可能とする半導体試験装置を提供する事にある。

【 0 0 1 5 】

【課題を解決するための手段】

本発明による半導体試験装置は、半導体の動作を複数のパタンデータに基づいて試験する半導体試験装置において、前記パタンデータの使用回数を、パターンファイル毎に計数する計数手段と、前記各ファイルと、このファイルの前記使用回数との関係を示すパターンファイル使用頻度テーブルを作成し、このパターンファイル使用頻度テーブルを記憶部へ記憶させる制御部とを具備することを特徴とする。

【 0 0 1 6 】

本発明の半導体試験装置は、前記計数手段が、予め設定した個数分の半導体の試験における前記パタンデータの使用回数を計数することを特徴とする。

【 0 0 1 7 】

本発明の半導体試験装置は、前記制御部が、前記パターンファイル使用頻度テーブルを作成後、このパターンファイル使用頻度テーブルに基づき、使用頻度の高い順にパターンファイルを並び替えることを特徴とする。

【 0 0 1 8 】

本発明の半導体試験装置は、前記制御部が、前記パターンファイルを実行メモリに転送するとき、この実行メモリの容量が不足する場合、より使用頻度の低い順に、パターンファイルを削除することを特徴とする。

【 0 0 1 9 】

本発明の半導体試験装置の制御方法は、半導体の動作を複数のパタンデータに基づいて試験する半導体試験装置の制御方法において、前記パタンデータの使用回数を、パターンファイル毎に計数する計数過程と、前記各ファイルと、このファイルの前記使用回数との関係を示すパターンファイル使用頻度テーブルを作成し、このパターンファイル使用頻度テーブルを記憶部へ記憶させる記憶過程とを有することを特徴とする。

【 0 0 2 0 】

本発明の半導体試験装置の制御方法は、前記計数過程において、予め設定した個数分の半導体の試験における前記パタンデータの使用回数を計数することを特徴とする。

【 0 0 2 1 】

本発明の半導体試験装置の制御方法は、前記記憶過程が、前記パターンファイル使用頻度テーブルを作成後、このパターンファイル使用頻度テーブルに基づき、使用頻度の高い順にパターンファイルを並び替えることを特徴とする。

【 0 0 2 2 】

本発明の半導体試験装置の制御方法は、前記記憶過程が、前記パターンファイルを実行メモリに転送するとき、この実行メモリの容量が不足する場合、より使用頻度の低い順に、パターンファイルを削除することを特徴とする。

【 0 0 2 3 】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。図 1 は本発明の一

実施形態によるの構成を示すブロック図である。この図において、DISK装置12は、制御部10が外部記憶装置から読み込む、複数種の半導体のパタンファイルを格納（記憶）する。

バッファメモリ13は、ある種類の半導体の試験を実行するとき、制御部10によってDISK装置12から読み出される、この半導体の試験に用いるパタンファイルを格納する。

【0024】

実行メモリ17は、パタンメモリ14、MICメモリ15及びSPGメモリ16で構成される、パタンファイルを展開して格納する実行メモリである。ここで、パタンメモリ14、MICメモリ15及びSPGメモリ16は、図4のパタンメモリ44、MICメモリ45及びSPGメモリ46と各々同様のメモリである。

パタンファイル使用頻度テーブル記憶部18は、制御部10により計数された、各パタンファイルと各々のパタンファイルの使用回数とを対応して格納する。

【0025】

また、パタンファイルが半導体試験装置において制御される方式、すなわちDISK装置12から実行メモリ17の各メモリに展開されて格納される方式は、すでに説明した従来方法と同様であるので、説明を省略する。

パタンファイルが格納されたその後、従来方法ではパタンファイルのパタンデータを被試験対象の半導体に印加することにより試験が行われる。

一方、本発明では、各パタンファイルの使用頻度を求めるため、予め設定（特定）した個数分の被試験対象の半導体を試験する過程において、パタンファイル使用頻度テーブル記憶部18のパタンファイル使用頻度テーブルに、制御部10が計数した各パタンファイルの使用頻度を、各パタンファイル毎に格納する。

この設定される個数は、被試験対象の半導体の全体数におけるパタンファイルの使用頻度を、反映するサンプル数とされる。

【0026】

次に、図1、図2および図3を参照し、一実施形態の動作例を説明する。

まず、図2を用いて、パタンファイル使用頻度テーブルを完成し、パタンファ

イルを最適に配置するまでの過程の動作を説明する。図 2 は、パターンファイル使用頻度テーブルを完成し、パターンファイルを最適に配置するまでの過程の動作例を示すフローチャートである。

ステップ 2 1 において、制御部 1 0 は、半導体の試験を開始する前に、パターンメモリ 1 3，実行メモリ 1 7 の各メモリ，及びパターンファイル使用頻度テーブルを初期化する。

【 0 0 2 7 】

そして、制御部 1 0 は、DISK 装置 1 2 から、試験対象の半導体の試験に用いるパターンファイルを全て読み出し、読み出したこれらのパターンファイルをバッファメモリ 1 3 へ格納する。

また、制御部 1 0 は、バッファメモリ 1 3 から読み出した、実行メモリ 1 7 の容量分のパターンファイルを、すなわち実行メモリ 1 7 に格納可能なパターンファイルを実行メモリ 1 7 の各メモリに展開する。

【 0 0 2 8 】

次に、ステップ 2 2 において、制御部 1 0 は、パターンファイル使用頻度を求める特定個数の半導体において、例えば、パターン 1 のパターンファイルに基づき、最初の半導体の動作に対する試験を行う。

次に、ステップ 2 3 において、制御部 1 0 は、そのパターン 1 のパターンファイルの使用頻度を回数として、パターン 1 のパターンファイルに対応する回数を + 1 だけカウントアップ（インクリメント）し、パターンファイル使用頻度テーブルの内容を更新する。

このとき、パターンファイル使用頻度テーブルは、図 1 のパターンファイル使用頻度テーブル記憶部 1 8 に示されるように、パターンファイルの名称とそのパターンファイルの使用頻度を示す回数とで構成されるものとする。

【 0 0 2 9 】

次に、ステップ 2 4 において、制御部 1 0 は、半導体の試験が半導体一つに対して、複数の試験項目、すなわち、パターンファイルにより行われるため、被試験対象の半導体が、実行された各試験項目に対して良または不良のいずれであるかを判定する。

このとき、制御部 1 0 は、不良と判定された場合はステップ 2 6 へ処理を進め、不良でないと判定された場合、すなわち良と判定された場合、ステップ 2 5 へ処理を進める。

【 0 0 3 0 】

次に、ステップ 2 5 において、制御部 1 0 は、現在試験を行っている種類の半導体に対する全試験項目が終了したか否か、すなわち全てのパタンファイルのパタンデータでの試験が終了したか否かを判定する。

このとき、制御部 1 0 は、試験項目が残っている場合、次のパタンファイル（例えば、パタン 1 のパタンファイル）の試験を行うため、処理をステップ 2 2 へ戻す。

【 0 0 3 1 】

一方、制御部 1 0 は、全試験項目が終了したと判定した場合、処理をステップ S 2 6 へ進める。

次に、ステップ 2 6 において、制御部 1 0 は、パタンファイル使用頻度テーブルが完成したか否かの判定を行う。

すなわち、制御部 1 0 は、パタンファイル使用頻度テーブルが、予め定められた被試験対象の半導体の個数分をステップ 2 2 からステップ 2 5 までを繰り返すことで作成されるため、予め定められた個数分が終了したか否かの判定を行う。

【 0 0 3 2 】

この判定により、パタンファイル使用頻度テーブルが完成したか否かが判定される。

このとき、制御部 1 0 は、パタンファイル使用頻度テーブルが完成したと判定した場合、処理をステップ 2 7 へ進め、パタンファイル使用頻度テーブルが完成していないと判定した場合、残りの半導体の試験を行うため、処理をステップ 2 2 へ進める。

【 0 0 3 3 】

次に、ステップ 2 7 において、制御部 1 0 は、パタンファイル使用頻度テーブルが完成すると、一旦、実行メモリ 1 7 の各メモリを初期化し、処理をステップ 2 8 へ進める。

次に、ステップ 2 8 において、制御部 1 0 は、パターンファイル使用頻度テーブルの使用頻度の回数が大きいものから順に、バッファメモリ 1 3 からパターンファイルを読み出し、実行メモリ 1 7 の各メモリへ展開（格納）する。

このとき、実行メモリ 1 7 の各メモリへのデータの格納は、実行メモリ 1 7 各メモリの空き容量が不足して、格納できなくなるまで可能な限りのパターンファイルに対して行う。

これにより、制御部 1 0 は、使用頻度の高い（回数の大きい）パターンファイルから順に、実行メモリ 1 7 の各メモリ上に並べて、パターンファイルの再配置を行う。

【 0 0 3 4 】

以上で、パターンファイルは、使用頻度及びその大きさを考慮した状態で、予め、実行メモリ 1 7 の各メモリに最適な順序で格納されたことになる。

この状態で試験を再開すれば、使用頻度の高いパターンファイルが、既に実行メモリ 1 7 に存在することになり、パターンファイルの転送時間が軽減されることになる。

しかしながら、試験項目が進み実行メモリ上に格納できなかったパターンファイルを使用しなければならない場合、従来技術の方式では全てのパターンファイルを削除することになり、パターンファイル使用頻度テーブルによって、使用頻度の高いパターンファイルを予め実行メモリに格納しておく意味がなくなってしまう。

【 0 0 3 5 】

この問題に対応するために、バッファメモリ 1 3 から実行メモリ 1 7 に対するパターンファイル転送の処理を、図 3 のフローチャートに示す方式に変更する。

図 3 において、ステップ 3 1 からステップ 3 A までは、従来技術で示した制御方式におけるステップ 5 1 からステップ 5 A までと処理内容が同様である。

すなわち、実行メモリ 1 7 の各メモリを検索し、パターンファイルが存在しない場合は該当パターンファイルを、バッファメモリ 1 3 から実行メモリ 1 7 へ転送しようとする本実施形の処理は、実行メモリのパターンメモリ 4 4，MICメモリ 4 5 および SPGメモリ 4 6 を検索し、パターンファイルが存在しない場合は該当パターンファイルを、バッファメモリ 1 3 から実行メモリ 1 7 へ転送しようとする処

理と同様である。

【0036】

従来例と本実施形態との異なる点は、実行メモリ17の各メモリにおいて、新たなパタンファイルの転送に必要な容量が不足していた場合、従来例ではパタンファイルを転送する空き容量を確保するための方法として実行メモリの全てを初期化する方式を採用していたのに対し、本実施形態では、ステップ3Bとステップ3Cを繰り返すことにより、転送に必要な最小限の空き容量を確保する処理の方式が採用されている。

例えば、ステップ3Aにおいて、制御部10は、実行メモリ17の各メモリにおいて、新たなパタンファイルの転送に必要な容量が不足していた場合、処理をステップ3Bに進める。

【0037】

次に、ステップ3Bにおいて、制御部10は、実行メモリ17の各メモリで、各メモリに格納されているパタンファイルを、使用頻度の低い順すなわち実行メモリ17の最後部に格納されているパタンファイルから順次削除する。

そして、ステップ3Cにおいて、制御部10は、実行メモリ17における使用頻度の最も低いパタンファイルを削除した結果、新たなパタンファイルの転送に必要な容量が確保されたか否かの判定を行う。

【0038】

このとき、制御部10は、新たなパタンファイルの転送に十分な容量が実行メモリ17に確保出来た場合、処理をステップ3Dへ進め、一方、新たなパタンファイルの転送に十分な容量が実行メモリ17に確保できなかった場合、処理をステップ3Bへ戻す。

すなわち、制御部10は、新たなパタンファイルの転送に十分な容量が実行メモリ17に確保できなかった場合、ステップ3Bとステップ3Cの処理を繰り返して行うことにより、実行メモリ17に新たなパタンファイルの転送に必要な容量の確保を行う。

【0039】

次に、ステップ3Dにおいて、制御部10は、バッファメモリ13から、半導

体の試験に必要な新たなパタンファイルを、実行メモリ 17 に転送して展開する。

次に、ステップ 3 E において、制御部 10 は、半導体の試験に必要な新たなパタンファイルを、実行メモリ 17 に転送完了後、転送されたパタンファイルのパタンデータに基づき検査を行う。

【0040】

上述した本実施形態によれば、半導体試験装置においてパタンデータに基づいて半導体の試験を行う場合、特定の個数のパタンデータの使用結果に基づいてパタンデータの使用頻度を抽出し、バッファメモリ 13 から実行メモリ 17 へ、パタンデータのパタンファイルを、使用頻度の高いものから順に格納できるため、新たなパタンデータのパタンファイルを読み込む回数を削減することができ、従来のパタンファイルの転送処理の方法に比較して、半導体試験のスループットを大幅に向上させることが可能となる。

【0041】

また、上述した本実施形態によれば、新たに必要となったパタンファイルを実行ファイル 17 へ転送するとき、実行メモリ 17 の容量が不足している場合、従来のように実行メモリ 17 を初期化するのではなく、実行メモリ 17 に記憶されている使用頻度の低い最後部のパタンファイルのみを削除できるため、実行メモリ 17 を初期化して、実行ファイルに新たにパタンファイルを転送するのに比べて、パタンファイルの転送時間が大幅に削減される。

【0042】

しかも、各パタンファイルの使用頻度は、実際の被試験対象となる半導体でのサンプリングという形で行うため、各半導体毎に、各パタンデータに対する不良率を考慮して抽出されるため、複数の半導体の試験に対応することができる。

また、そのための制御ソフトウェアの変更は、パタンファイル使用頻度テーブルの作成とパタンファイルの転送部分の変更という最小限のアルゴリズムの変更ですむため、メンテナンスが容易である。

【0043】

以上、本発明の一実施形態を図面を参照して詳述してきたが、具体的な構成は

この実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。

【 0 0 4 4 】

【発明の効果】

本発明によれば、半導体試験装置において、パタンファイルを使用頻度の高いものから実行メモリに格納でき、実行メモリの容量が不足する場合は、使用頻度の低い最後部のパタンファイルのみを削除できる。

しかも、使用頻度は実際の被試験対象の半導体のサンプリングという形でその不良率を考慮して摘出しており、様々な半導体の試験に対応することができる。また、そのための制御ソフトウェアの変更は、パタンファイル使用頻度テーブルの作成とパタンファイルの転送部分の変更という最小限のアルゴリズム変更ですむ。

結果として、本実施形態によれば、半導体試験装置において、パタンファイルの転送時間は大幅に削減され、半導体試験のスループットを向上させることが可能となる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態による半導体試験装置の構成を示すブロック図である。

【図 2】 本発明によるパタンファイル使用頻度テーブルを作成し、パタンファイルを再配置することを示すフローチャートである。

【図 3】 この発明によるパタンファイルの転送方式を示すフローチャートである。

【図 4】 従来例によるパタンファイルの制御構成を説明する図である。

【図 5】 従来例によるパタンファイルの転送方式を示すフローチャートである。

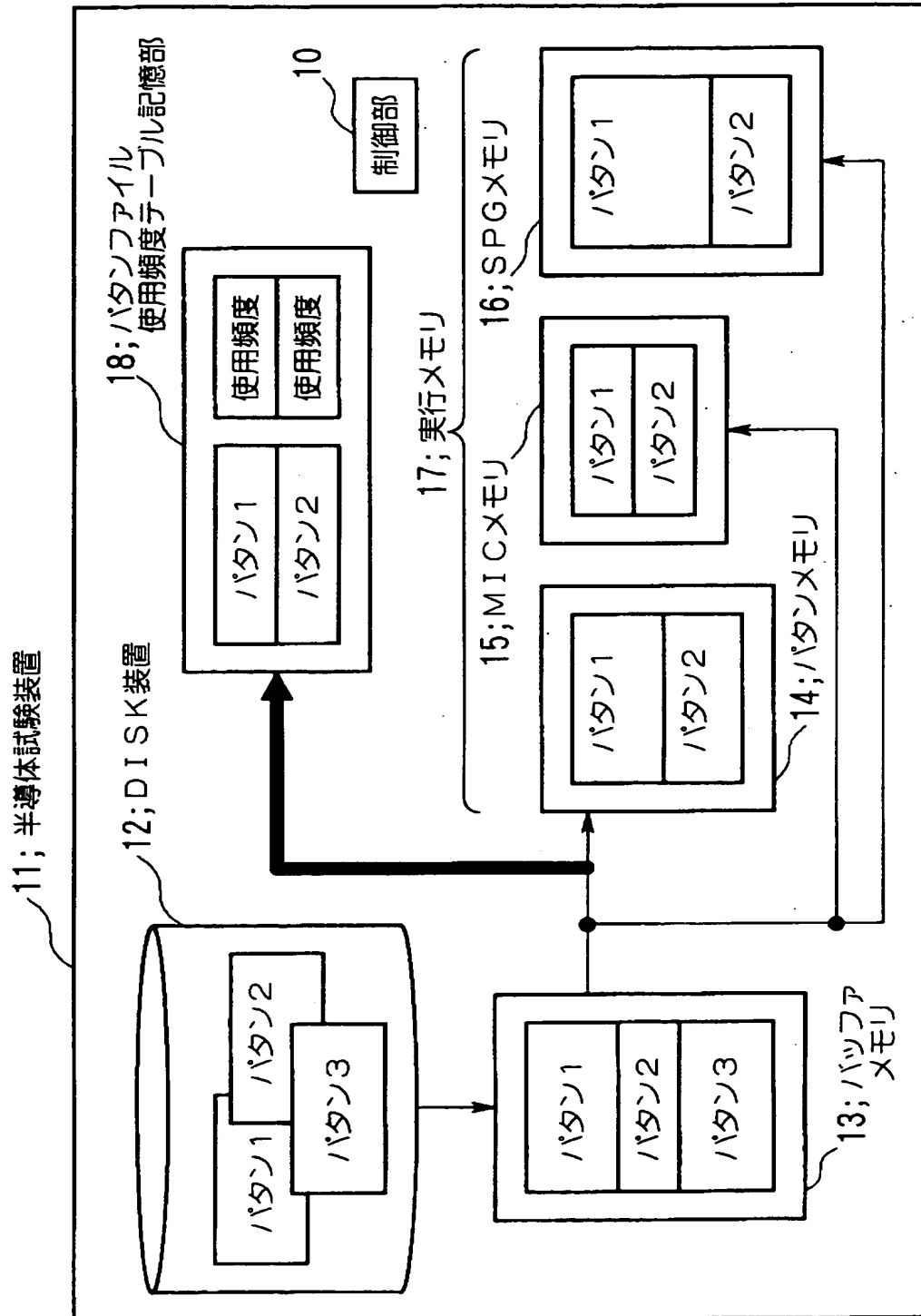
【符号の説明】

- 1 0 制御部
- 1 1 半導体試験装置
- 1 2 D I S K 装置

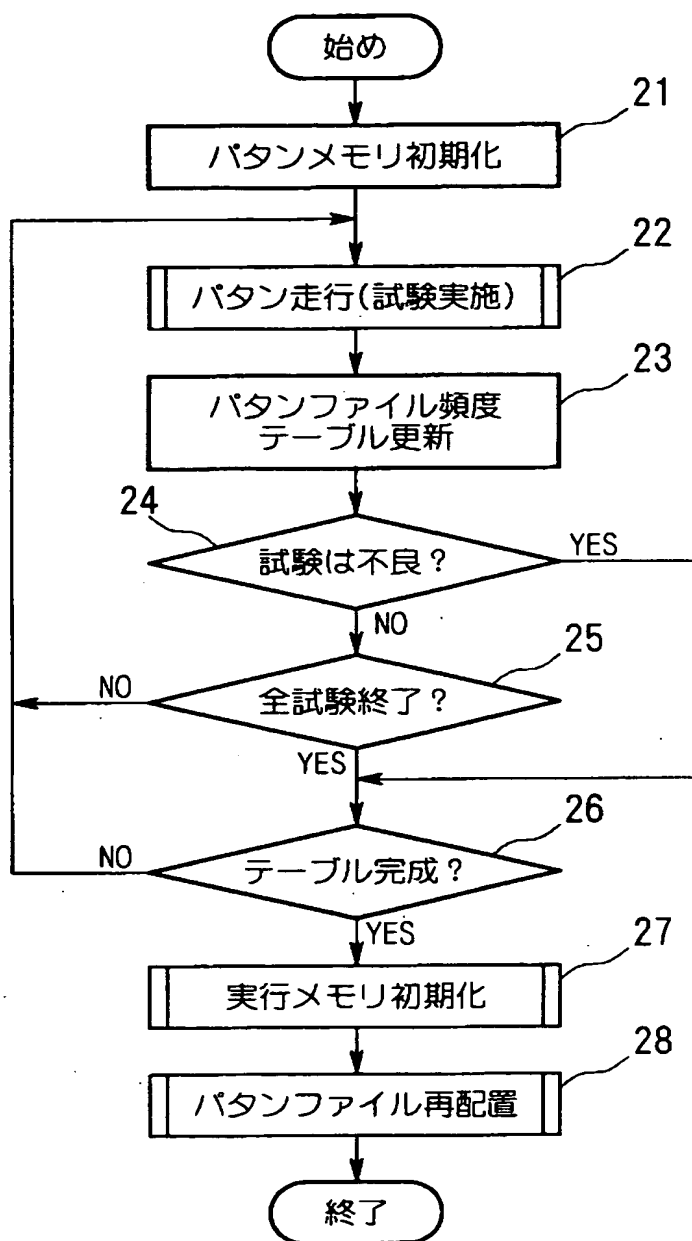
- 1 3 バッファメモリ
- 1 4 パタンメモリ
- 1 5 M I Cメモリ
- 1 6 S P Gメモリ
- 1 7 実行メモリ
- 1 8 パタンファイル使用頻度テーブル記憶部

【書類名】 図面

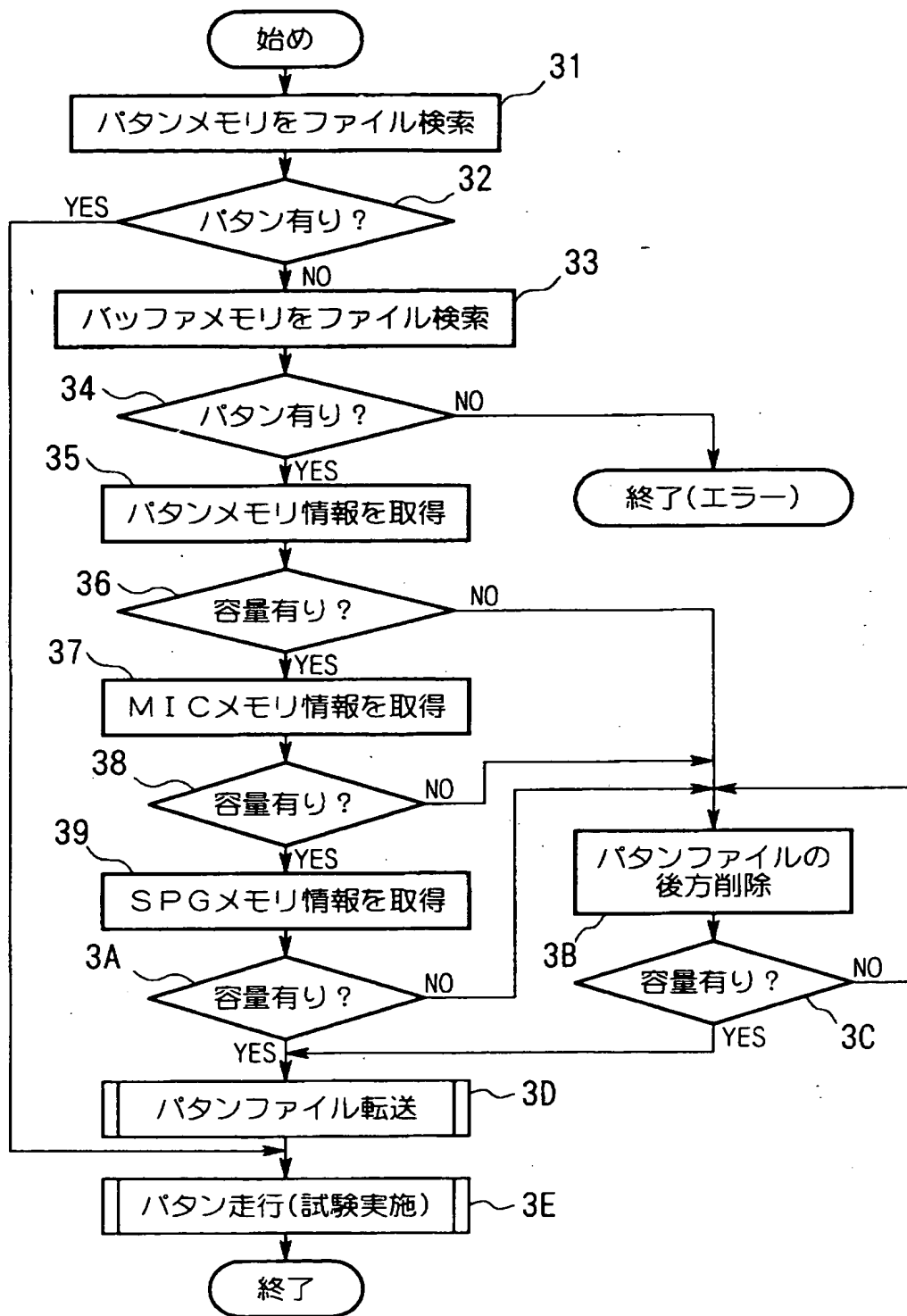
【図 1】



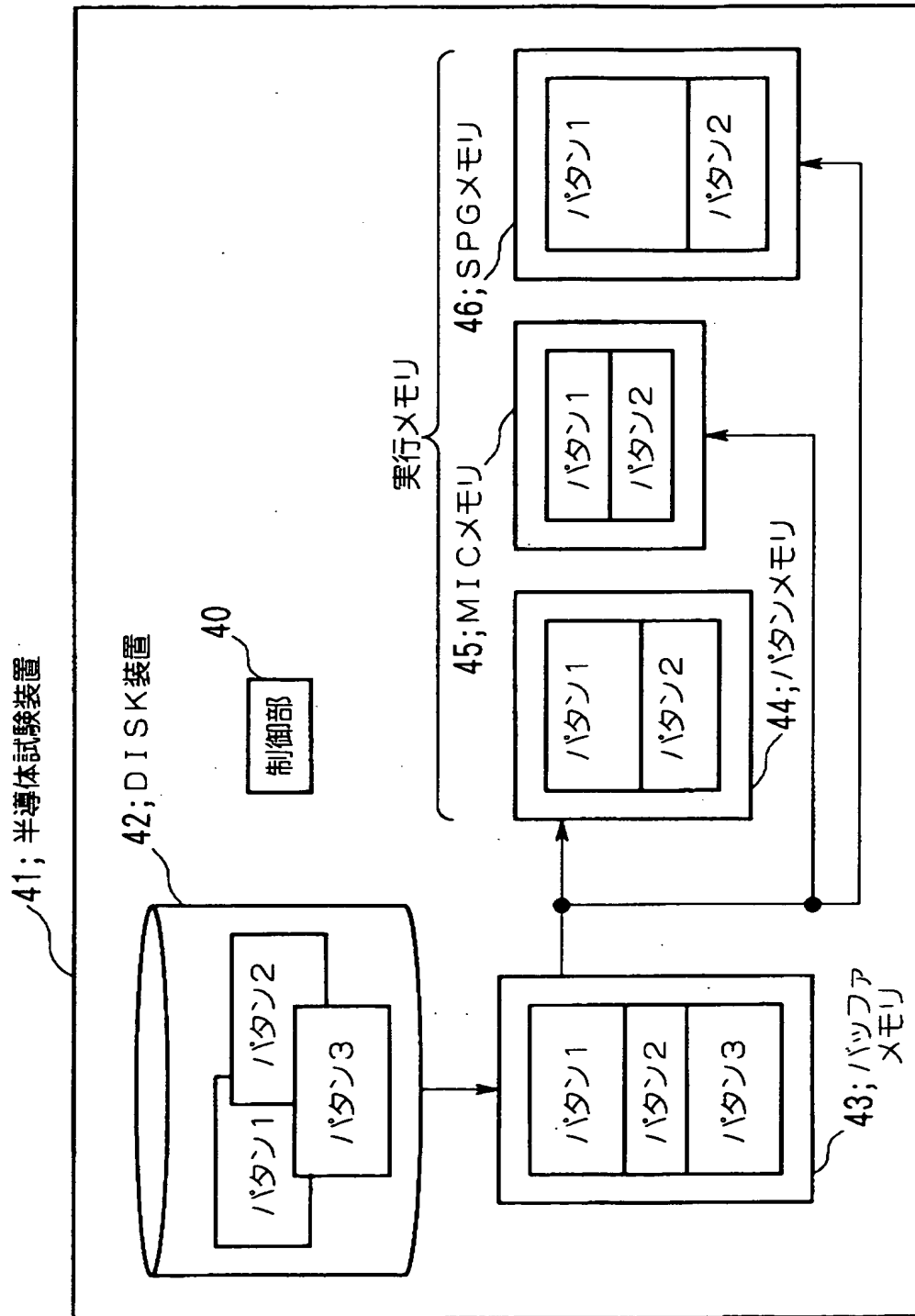
【図 2】



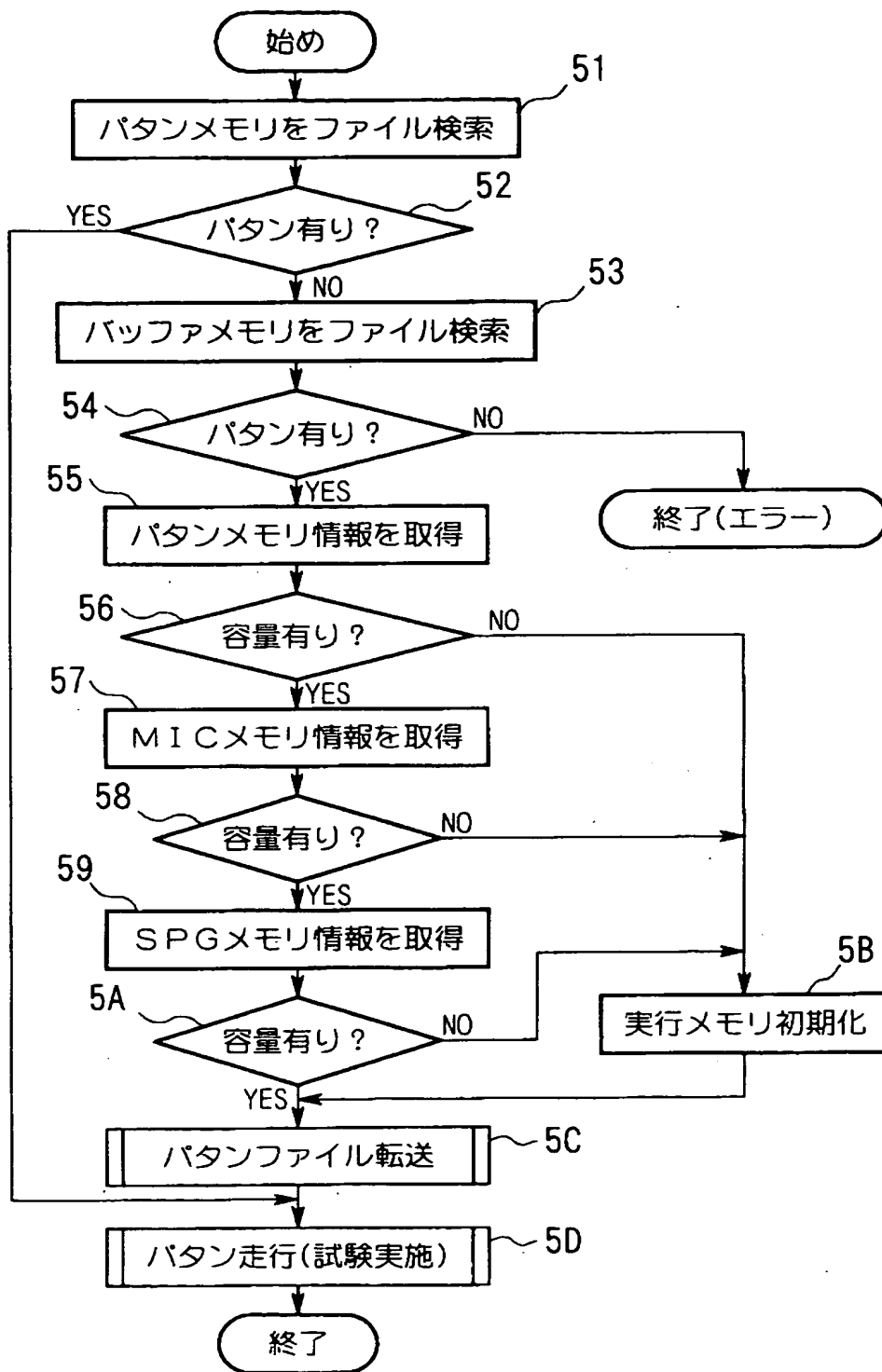
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 内部におけるパタンファイルの転送量を最小限に抑え、半導体の試験時間を軽減することを可能とする半導体試験装置を提供する。

【解決手段】 半導体試験装置 1 1 において、制御部 1 0 は、パタンファイル使用頻度テーブル記憶部 1 8 に、パタンファイル使用頻度テーブルを作成し、予め設定された個数分の被試験対象の半導体を試験する過程で、パタンファイルの使用頻度を求める。そして、制御部 1 0 は、この求められた使用頻度に基づき、改めてバッファメモリ 1 3 から読み出し、パタンファイルを実行メモリ 1 7 上において再配置する。また、制御部 1 0 は、実行メモリ 1 7 の空き容量が不足した場合、使用頻度が低いパタンファイルとして実行メモリ 1 7 の最後部のパタンファイルを削除する。

【選択図】 図 1

認定・付加情報

| | |
|---------|---------------|
| 特許出願の番号 | 特願2000-317871 |
| 受付番号 | 50001346508 |
| 書類名 | 特許願 |
| 担当官 | 第一担当上席 0090 |
| 作成日 | 平成12年10月19日 |

<認定情報・付加情報>

【特許出願人】

| | |
|----------|------------------|
| 【識別番号】 | 000117744 |
| 【住所又は居所】 | 東京都大田区蒲田4丁目19番7号 |
| 【氏名又は名称】 | 安藤電気株式会社 |

【代理人】 申請人

| | |
|----------|-----------------------------------|
| 【識別番号】 | 100064908 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所 |
| 【氏名又は名称】 | 志賀 正武 |

【選任した代理人】

| | |
|----------|-----------------------------------|
| 【識別番号】 | 100108578 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所 |
| 【氏名又は名称】 | 高橋 詔男 |

【選任した代理人】

| | |
|----------|-----------------------------------|
| 【識別番号】 | 100089037 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所 |
| 【氏名又は名称】 | 渡邊 隆 |

【選任した代理人】

| | |
|----------|-----------------------------------|
| 【識別番号】 | 100101465 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所 |
| 【氏名又は名称】 | 青山 正和 |

【選任した代理人】

| | |
|----------|-----------------------------------|
| 【識別番号】 | 100094400 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所 |

次頁有

認定・付加情報（続き）

| | |
|-----------|---------------------------------------|
| 【氏名又は名称】 | 鈴木 三義 |
| 【選任した代理人】 | |
| 【識別番号】 | 100107836 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所 |
| 【氏名又は名称】 | 西 和哉 |
| 【選任した代理人】 | |
| 【識別番号】 | 100108453 |
| 【住所又は居所】 | 東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所 |
| 【氏名又は名称】 | 村山 靖彦 |

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日 1990年 8月10日
[変更理由] 新規登録
住 所 東京都大田区蒲田4丁目19番7号
氏 名 安藤電気株式会社
2. 変更年月日 2001年 4月13日
[変更理由] 住所変更
住 所 東京都大田区蒲田五丁目29番3号
氏 名 安藤電気株式会社